

Japanese Laid-Open Utility Model Publication No. 05-046121
Date of Publication: June 18, 1993
Application No.: 3-93982
Date of Filing: November 15, 1991
Applicant: Sanyo Electric Co. Ltd.
Creator: Tetsuya Yanai

Partial Translation of paragraph [0009]

Fig. 1 is a block diagram showing an antenna 1 and an antenna tuning circuit 2. A dual-gate FET 3 having a first gate is provided with an output signal of the tuning circuit 2. A resistor 4 functions as a load on the dual-gate FET 3. Fig. 1 also shows a coupling capacitor 5, a high frequency amplification circuit 6 for selectively amplifying a received high frequency signal, and a voltage controlled oscillator (VCO) 7 configuring a phase locked loop (PLL). A synthesizing circuit 8 synthesizes the high frequency signal of the high frequency amplification circuit 6 and the oscillation signal of the VCO 7 to generate a predetermined intermediate frequency signal. An intermediate frequency amplification circuit 9 amplifies the intermediate frequency signal of the synthesizing circuit 8. A demodulation circuit 10 demodulates the intermediate frequency signal of the intermediate frequency amplification circuit 9. A control circuit 11 functioning as a microcomputer incorporates a programmable frequency dividing circuit for frequency-dividing by N the oscillation signal of the VCO 7 and a phase comparison circuit for comparing the frequency divided output of the programmable frequency divider with a reference signal of a reference signal generation circuit to output a signal corresponding to the phase difference. A low pass filter 12 is provided with the phase difference signal output from the control circuit 11 and supplies the VCO 7 with control voltage based on the phase difference signal. A DC-DC converter 13 supplies the low pass filter 12 with reference voltage. A resistor 14 functions as a load on the low pass filter 12. A level detection circuit determines whether or not the received signal is greater than or equal to a predetermined level and supplies the control circuit with a detection signal when the received signal is greater than or equal to the predetermined level. A display 16 shows the received frequency based on the signal from the control circuit 11. A first analog switch 17 is arranged along a line extending from the low pass filter 12 to a second gate of the dual-gate FET 3 and controlled by a control signal S1 from the control circuit 11. A second analog switch 18 is arranged along a line extending from the DC-DC converter 13 to the second gate of the dual-gate FET 3 and controlled by a control signal S2 from the control circuit 11. Fig. 1 further shows a current restriction resistor 19, a capacitor 20, a key input section 21, and a memory 22.

(19)日本国特許庁 (JP)

(12) 公開実用新案公報 (U)

(11)実用新案出願公開番号

実開平5-46121

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.⁵

H 03 J 7/28

識別記号

府内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号 実開平3-93982

(22)出願日 平成3年(1991)11月15日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)考案者 柳井 鉄也

大阪府守口市京阪本通2丁目18番地 三洋

電機株式会社内

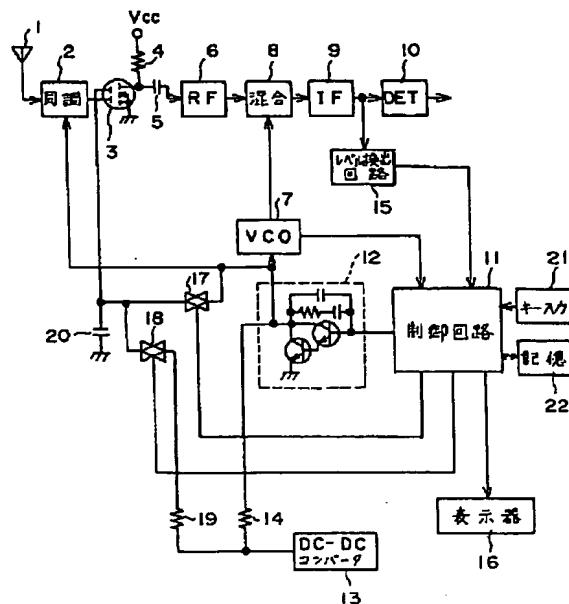
(74)代理人 弁理士 西野 卓嗣

(54)【考案の名称】 ラジオ受信機

(57)【要約】

【目的】 A D変換器等を用いることなく、電界強度順に放送信号を記憶装置内に記憶できるようにする。

【構成】 本考案によれば、キー入力部21のオートブリセッタキーの操作に応じて、自動掃引動作を開始し、その結果、所定レベル以上の放送信号が受信されると、当該受信周波数とは無関係の電圧を所定ステップで供給することにより、デュアルゲートFET3の利得を定め、当該利得において所定レベル以上の信号が検出されるか否かを判定し、信号が検出されれば、受信周波数に関する情報を記憶装置22に記憶し、前記オートブリセッタ動作の終了時、記憶装置に記憶された内容を前記電圧に関する情報を基づき並び替え、以って記憶装置22には、電界強度順にデータが記憶される。



1

【実用新案登録請求の範囲】

【請求項1】 局部発振回路が位相同期ループ（PLL）にて構成されるとともに、高周波増幅段にデュアルゲートFETが配設されたラジオ受信機であって、指令に応じて自動掃引動作を開始し、所定レベル以上の放送信号の受信に応じて前記自動掃引動作を停止する自動掃引手段と、前記所定レベル以上の放送信号の受信に応じて前記自動掃引手段の自動掃引動作が停止した際、受信周波数とは無関係に前記デュアルゲートFETの第2ゲートに所定ステップで変化する電圧を供給し、前記デュアルゲートFETの利得を制御する電圧供給手段と、この電圧供給手段から供給された電圧に応じた利得にて前記デュアルゲートFETで増幅された受信信号に基づき所定レベル以上の放送信号の受信の有無を判定する判定手段と、この判定手段にて受信したことが判定された際、受信信号に対応付けて前記電圧供給手段から供給さ*

*れる電圧に関する情報を記憶する記憶手段と、この記憶手段に記憶された内容を前記電圧に関する情報を基に並び替える並び替え手段とを具備したことを特徴とするラジオ受信機。

【図面の簡単な説明】

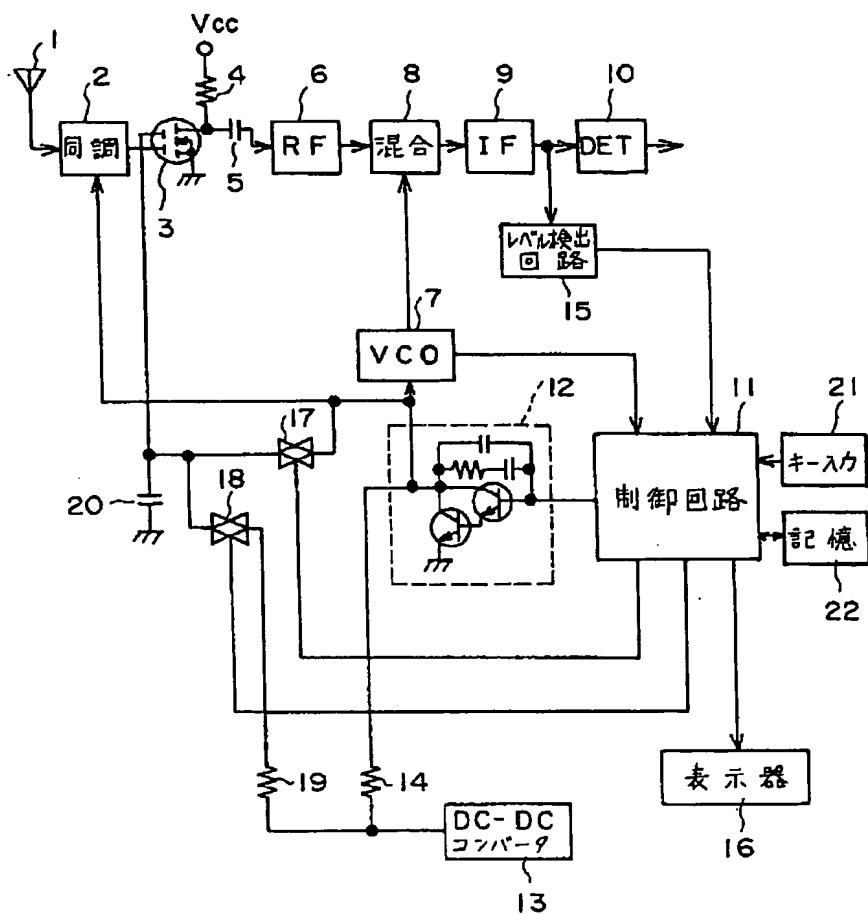
【図1】本考案の一実施例を示すブロック図である。

【図2】本考案に係る動作を示すフローチャートである。

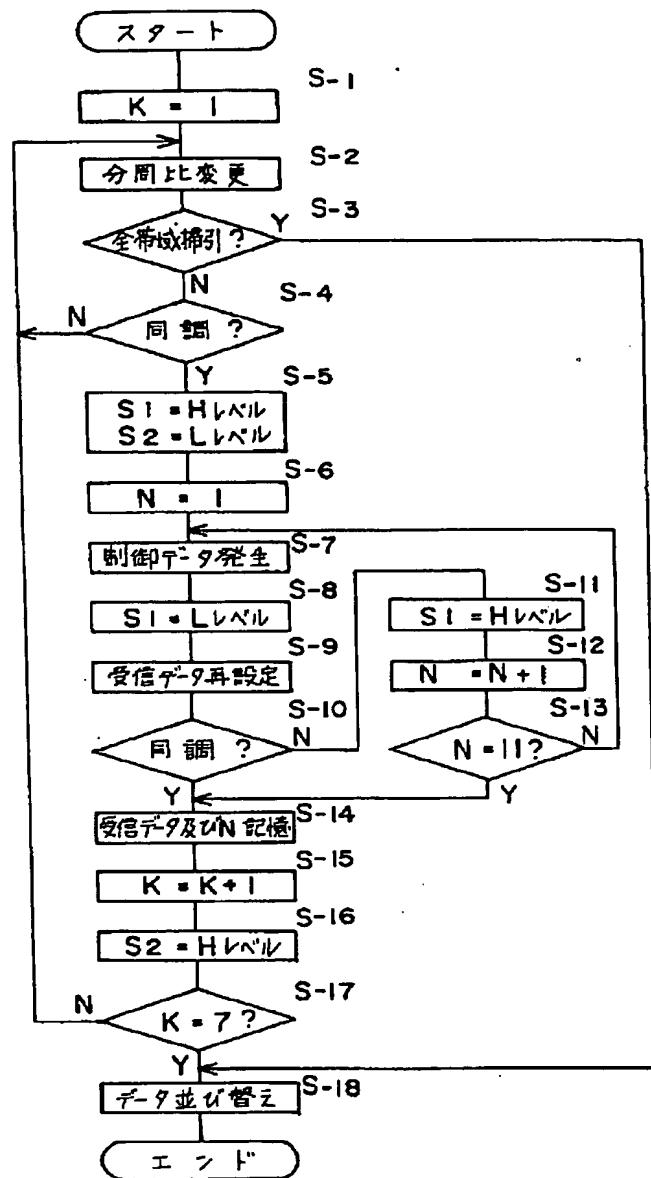
【符号の説明】

| | | |
|----|----|--------------|
| 10 | 3 | デュアルゲートFET |
| | 7 | 電圧制御発振器（VCO） |
| | 11 | 制御回路 |
| | 12 | ローパスフィルタ |
| | 15 | レベル検出回路 |
| | 17 | 第1アナログスイッチ |
| | 18 | 第2アナログスイッチ |

【図1】



【図2】



【考案の詳細な説明】**【0001】****【産業上の利用分野】**

本考案は、ラジオ受信機に関する。

【0002】**【従来の技術】**

近年、ラジオ受信機では、プリセット動作の簡素化を計るために、受信可能な放送局をメモリ等の記憶装置に自動的に記憶させる、所謂オートプリセット機能が採用されている。

【0003】

斯るオートプリセット機能に付き簡単に説明すると、使用者のオートプリセットキーの操作に対応してラジオ受信機の動作を司るマイクロコンピュータが自動掃引動作を実行する。そして、この自動掃引の結果、所定レベル以上の放送信号が受信されると、マイクロコンピュータは当該周波数に対応する分周比を記憶装置に記憶して、掃引動作を再開する。このような手順を繰り返すことにより、所定レベル以上の放送信号が記憶装置内に自動的に記憶される。

【0004】

また、最近では、受信信号より得られたキャリア信号（アナログ信号）をデジタル信号に変換し、当該デジタル情報を受信周波数情報と対応付けて記憶することにより、記憶装置に記憶された内容を電界強度レベルが大きい順に並べ替え、使用者の使い勝手を向上させるようにしたものがある。

【0005】**【考案が解決しようとする課題】**

然し乍ら、上記の構成では、A/D変換器が別途必要になるため、部品点数の増大並びにコストの上昇を招くものであった。

【0006】**【課題を解決するための手段】**

上記の課題に鑑み、本考案は、局部発振回路が位相同期ループ（PLL）にて構成されるとともに、高周波増幅段にデュアルゲートFETが配設されたラジオ

受信機であって、指令に応じて自動掃引動作を開始し、所定レベル以上の放送信号の受信に応じて前記自動掃引動作を停止する自動掃引手段と、前記所定レベル以上の放送信号の受信に応じて前記自動掃引手段の自動掃引動作が停止した際、受信周波数とは無関係に前記デュアルゲートFETの第2ゲートに所定ステップで変化する電圧を供給し、前記デュアルゲートFETの利得を制御する電圧供給手段と、この電圧供給手段から供給された電圧に応じた利得にて前記デュアルゲートFETで増幅された受信信号に基づき所定レベル以上の放送信号の受信の有無を判定する判定手段と、この判定手段にて受信したことが判定された際、受信信号に対応付けて前記電圧供給手段から供給される電圧に関する情報を記憶する記憶手段と、この記憶手段に記憶された内容を前記電圧に関する情報を基に並び替える並び替え手段とを具備したことを特徴とする。

【0007】

【作用】

本考案によれば、自動掃引動作により所定レベル以上の放送信号が受信されると、当該受信周波数とは無関係な電圧を所定ステップで発生させてデュアルゲートFETの第2ゲートに供給して、このデュアルゲートFETの利得を定める。

【0008】

次いで、この定められた利得において前記受信周波数が所定レベル以上を呈するか否かを判定し、所定レベル以上を呈する場合、当該受信周波数に対応付けて前記電圧に関する情報を記憶手段に記憶させる。その後、自動掃引動作が受信バンド全域に亘って行われたことが判定若しくは前記記憶装置の全ての記憶領域にデータが書き込まれたことが判定されると、前記電圧に関する情報に基づき前記記憶装置に記憶された内容を並び替える。

【0009】

【実施例】

図1は、本考案の一実施例を示すブロック図で、1はアンテナ、2はアンテナ同調回路、3は第1ゲートに同調回路2からの出力信号が供給されるデュアルゲートFET、4はデュアルゲートFET3の負荷となる抵抗、5はカップリングコンデンサ、6は受信高周波信号を選択増幅する高周波増幅回路、7は位相同期

ループ（PLL）回路を構成する電圧制御発振器（VCO）、8は高周波增幅回路6からの高周波信号とVCO7からの発振信号とを混合し、所定の中間周波数信号を導出する混合回路、9は混合回路8からの中間周波数信号を増幅する中間周波数增幅回路、10は中間周波数增幅回路9からの中間周波数信号を検波する検波回路、11はVCO7からの発振信号をN分周するプログラマブル分周器、このプログラマブル分周器からの分周出力と基準信号発生回路からの基準信号とを比較し、位相差に応じた信号を出力する位相比較回路を内蔵する制御回路で、マイクロコンピュータにて構成されている。12は制御回路11から出力された位相差信号が供給され、当該位相差信号に基づきVCO7に制御電圧を供給するローパスフィルタ、13はローパスフィルタ12に基準電圧を供給するDC-DCコンバータ、14はローパスフィルタ12の負荷となる抵抗、15は受信信号が所定レベル以上か否かを判定し、所定レベル以上のとき、検出信号を制御回路11に供給するレベル検出回路、16は制御回路11からの信号に基づき受信周波数を表示する表示器、17はローパスフィルタ12からデュアルゲートFET3の第2ゲートへの線路に配置され、制御回路11からの制御信号S1にて制御される第1アナログスイッチ、18はDC-DCコンバータ13からデュアルゲートFET3の第2ゲートへの線路に配置され、制御回路11からの制御信号S2にて制御される第2アナログスイッチ、19は電流制限用抵抗、20はコンデンサ、21はキー入力部、22はメモリ等の記憶装置である。

【0010】

次に、動作について図2のフローチャートを参照して説明する。

【0011】

キー入力部21のオートプリセットキーが操作されると、制御回路11は、記憶装置22の記憶領域を指定するためのメモリアドレスカウンタ（図示せず）の値Kを「1」とした後、プログラマブル分周器に設定される分周比を現在の周波数から所定数（例えば、「1」）づつ増加させ、自動掃引動作を開始する。

【0012】

また、斯る自動掃引動作は、現在プログラマブル分周器に設定された分周比が掃引動作開始時の分周比と同じになるまで（即ち、自動掃引動作が受信バンドの

全域に亘って行われるまで) 繼続される (ステップ S-1 ~ S-3)。

【0013】

尚、このとき、制御回路 11 からの制御信号 S1 は、L レベル、制御信号 S2 は、H レベルになっており、デュアルゲート FET3 は、最大利得状態にある。

【0014】

そして、斯る自動掃引の結果、ある周波数において受信信号レベルが所定レベル以上あることが判定され、検出信号が制御回路 11 に供給されると、制御回路 11 は制御信号 S1 を H レベルに、制御信号 S2 を L レベルに変更し、DC-D C コンバータ 13 からの線路を遮断するとともに、ローパスフィルタ 12 からの線路を開放する (ステップ S-4、S-5)。

【0015】

また、先にプログラマブル分周器に設定された分周比をバッファレジスタ等に一時的に格納した後、所定電圧設定用のカウンタの値 N を 1 に設定するが、このカウンタの値は、ローパスフィルタ 12 からの同調電圧に対応しており、カウンタ値が 1 のとき、同調電圧が 1V になるように設定される。

【0016】

そして、制御回路 11 は、カウンタの値が 1 のとき、ローパスフィルタ 12 からの同調電圧が 1V となる周波数に対応する分周比をプログラマブル分周器に設定するようになされている (ステップ S-6、S-7)。

【0017】

従って、VCO7 は当該分周比で定まる周波数で発振し、受信機はこの発振周波数と中間周波数だけ異なる放送信号を受信する。一方、このローパスフィルタ 12 の出力は、第 1 アナログスイッチ 17 を介してデュアルゲート FET の第 2 ゲートに供給される。尚、このとき、表示器 16 では、バッファレジスタ等に記憶されたデータに基づき先に受信された周波数が表示される。

【0018】

その後、制御信号 S1 を L レベルに設定し、ローパスフィルタ 12 からの電圧供給を遮断するとともに、バッファレジスタに記憶されていたデータをプログラマブル分周器に再度設定し、次いでレベル検出回路 15 の出力の判定を行う (ス

ステップS-8、S-9、S-10)。

【0019】

このとき、デュアルゲートFET3の第2ゲートには、コンデンサ20の作用により1Vの制御電圧が印加されているため、デュアルゲートFET3は、当該制御電圧にて定まる利得にて受信信号を増幅する。

【0020】

そして、レベル検出回路15から検出信号が出力されていなければ、制御回路11は、制御信号S1を再度Hレベルに設定するとともに、カウンタの値を2に変更し、この値2に対応する分周比を設定して上述の手順を繰り返す(ステップS-11、S-12)。

【0021】

一方、検出信号が出力されていれば、制御回路11は、前述したメモリアドレスカウンタにて指定された記憶装置の領域に、受信周波数に関する情報並びに前記カウンタの値を記憶させる。

【0022】

その後、制御回路11は、メモリアドレスカウンタの値を1だけ増加させるとともに、制御信号S2をHレベルに変更し、次いでプログラマブル分周器に設定される分周比を所定数だけ増加させる(ステップS-14～S-16)。

【0023】

尚、プリセット数が所定数(この実施例の場合、7)に達するか、または受信バンド全域の掃引が終了すると、制御回路11は、前記カウンタの値を基に例えば、値が大きい順に記憶内容を並び替える(ステップS-18)。

【0024】

【考案の効果】

本考案によれば、局部発振回路が位相同期ループ(PLL)にて構成されるとともに、高周波増幅段にデュアルゲートFETが配設されたラジオ受信機であって、指令に応じて自動掃引動作を開始し、所定レベル以上の放送信号の受信に応じて前記自動掃引動作を停止する自動掃引手段と、前記所定レベル以上の放送信号の受信に応じて前記自動掃引手段の自動掃引動作が停止した際、受信周波数と

は無関係に前記デュアルゲートFETの第2ゲートに所定ステップで変化する電圧を供給し、前記デュアルゲートFETの利得を制御する電圧供給手段と、この電圧供給手段から供給された電圧に応じた利得にて前記デュアルゲートFETで増幅された受信信号に基づき所定レベル以上の放送信号の受信の有無を判定する判定手段と、この判定手段にて受信したことが判定された際、受信信号に対応付けて前記電圧供給手段から供給される電圧に関する情報を記憶する記憶手段と、この記憶手段に記憶された内容を前記電圧に関する情報を基に並び替える並び替え手段とを具備したので、格別にA/D変換手段等を必要とせず、しかも受信周波数を電界強度順に記憶することが可能になり、実用的である。